

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037479

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

H04B 3/10  
H03H 17/00  
H03H 21/00  
H03M 13/12  
H04L 27/01

(21)Application number : 06-170738

(71)Applicant : FUJITSU LTD

(22)Date of filing : 22.07.1994

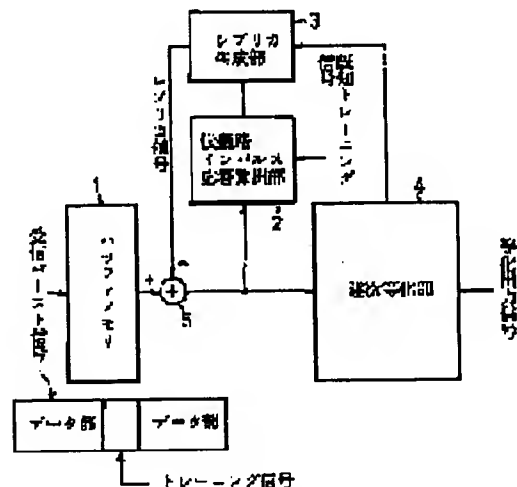
(72)Inventor : HAMADA HAJIME  
UCHIJIMA MAKOTO  
YAMASHITA ATSUSHI  
NAKAMURA MICHIHARU

## (54) SEQUENTIAL DIGITAL ADAPTIVE EQUALIZER

### (57)Abstract:

PURPOSE: To reduce the scale of memory and the like capacity without deteriorating the equalization characteristic by conducting training based on a training signal in the middle part of a burst signal and applying equalizing processing to data parts before and after the training signal separately.

CONSTITUTION: A burst signal formed by inserting a training signal between data parts is received and stored in a buffer memory 1. The training signal in the burst signal is read and a propagation path impulse response calculation section 2 calculates an impulse response of the propagation path by reading the training signal in the burst signal and using a known training signal. When the processing as to the training signal is finished, the data part before or after the training signal is sequentially read from the buffer memory 1. Then a replica signal based on the impulse response and an equalizing output signal is generated from a replica generating section 3 and adder 5 is used to eliminate a delay wave component and the result is inputted to a sequential equalization section 4. The sequential equalization section 4 uses the sequential decoding algorithm such as fano algorithm or stack algorithm to conduct equalization processing and an equalization output signal is obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-37479

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 B 3/10

C

H 0 3 H 17/00

A 8842-5 J

21/00

8842-5 J

H 0 3 M 13/12

8730-5 K

9297-5 K

H 0 4 L 27/00

K

審査請求 未請求 請求項の数 4 O L (全 9 頁) 最終頁に続く

(21) 出願番号

特願平6-170738

(22) 出願日

平成6年(1994)7月22日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 浜田 一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 内島 誠

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 山下 敦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

最終頁に続く

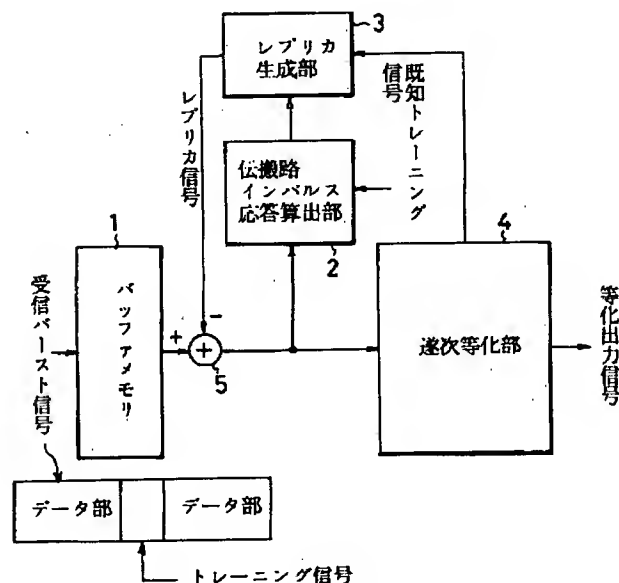
(54) 【発明の名称】 逐次デジタル適応等化器

(57) 【要約】

【目的】 逐次復号アルゴリズムを適用した逐次デジタル適応等化器に関し、等化特性を低下させることなく、メモリ等の回路規模を縮小する。

【構成】 データ部間にトレーニング信号を挿入したバースト信号を受信して一旦蓄積するバッファメモリ1と、このバッファメモリ1から読出したトレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答CIRを算出する伝搬路インパルス応答算出部2と、算出したインパルス応答と等化出力信号とからレプリカ信号を生成するレプリカ生成部3と、バッファメモリ1からトレーニング信号の前と後とのデータ部を別個に読出し、レプリカ信号との差分を加算器5により順次求めてブランチメトリックを算出し、逐次復号アルゴリズムによって、トレーニング信号の前のデータ部と後のデータ部とをそれぞれ等化処理する逐次等化部4とを備えている。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 データ部間にトレーニング信号を挿入したバースト信号を送信し、該バースト信号を受信して等化するデジタル適応等化器に於いて、前記バースト信号を受信して蓄積するバッファメモリと、該バッファメモリから読出した前記データ部間のトレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答を算出する伝搬路インパルス応答算出部と、該伝搬路インパルス応答算出部からのインパルス応答と等化出力信号とからレプリカ信号を生成するレプリカ生成部と、前記バッファメモリから前記トレーニング信号の前後のデータ部を別々に読出して前記レプリカ生成部からのレプリカ信号との差を順次求めてブランチメトリックを算出し、該ブランチメトリックを基に逐次復号アルゴリズムによって前記トレーニング信号の前後のデータ部を別々に等化処理する逐次等化部とを備えたことを特徴とする逐次デジタル適応等化器。

【請求項2】 前記バースト信号は、所定間隔毎に既知シンボルを複数シンボル分挿入した複数ブロックにより構成し、前記逐次等化部は、前記バースト信号の前記1ブロック毎に逐次等化を行う構成を有することを特徴とする請求項1記載の逐次デジタル適応等化器。

【請求項3】 前記伝搬路インパルス応答算出部は、前記レプリカ信号と前記バッファメモリからの前記データ部との差を基に、前記逐次等化部に於けるパス伸長毎に伝搬路インパルス応答を算出する構成としたことを特徴とする請求項1記載の逐次デジタル適応等化器。

【請求項4】 ダイバーシティ受信経路対応に、前記バッファメモリと、前記伝搬路インパルス応答算出部と、前記レプリカ生成部と、逐次等化部とをそれぞれ設け、最初に等化処理が終了した前記逐次等化部からの等化出力信号を選択する構成を設けたことを特徴とする請求項1記載の逐次デジタル適応等化器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、逐次復号アルゴリズムを適用した逐次デジタル適応等化器に関する。伝搬路を介して受信した信号は、各種の歪みや干渉を受けたものとなるから、この受信信号を等化して受信識別する必要がある、その為の各種の等化器が知られている。例えば、デジタル信号伝送に於いて、1シンボル前の等化出力信号をフィードバックして遅延波の影響を打ち消す判定帰還型等化器が一般的である。又ビタビ復号アルゴリズムを適用し、最尤推定により受信信号の等化を行う最尤系列推定 (MLSE; Maximum Likelihood Sequence Estimation) 型等化器が提案されている。この最尤系列推定型等化器を経済的に実現できるようにする

ことが要望されている。

## 【0002】

【従来の技術】図6は従来例の説明図であり、最尤系列推定型 (MLSE) の等化器として、ビタビ復号アルゴリズムを用いたデジタル適応等化器の要部を示し、40はバッファメモリ、41は伝搬路インパルス応答算出部、42はレプリカ生成部、43は加算器、44は最尤系列推定部、45はブランチメトリック算出部、46はACS回路、47はバスメモリ、48はセクタである。

【0003】バースト信号により送受信するシステムに於いては、そのバースト信号の先頭にトレーニング信号を付加して送信する場合が一般的である。そのトレーニング信号を含む受信バースト信号をバッファメモリ40に一旦蓄積する。即ち、図示を省略した受信部に於いて受信復調し、軟判定を行った複数ビット構成の判定データを受信バースト信号としてバッファメモリ40に蓄積する。

【0004】このバッファメモリ40から順次読出して等化処理するものであり、先ず、先頭のトレーニング信号を読出し、セクタ48によって既知トレーニング信号を選択して伝搬路インパルス応答算出部41とレプリカ生成部42とに加える。受信トレーニング信号は既知トレーニング信号と同一のパターンを有するものであり、従って、伝搬路インパルス応答算出部41に於いて伝搬路のインパルス応答 (CIR; Channel Impulse Response) を算出することができる。

【0005】このインパルス応答CIRを算出した後、セクタ48によって既知トレーニング信号を切り離し、それ以後、そのインパルス応答CIRを用いて等化処理を行うことも可能であるが、伝搬路の特性の変化を考慮し、データ部の等化出力信号を用いてインパルス応答CIRの補正を行う為に、セクタ48により既知トレーニング信号から等化出力信号に切替えるものである。そして、バッファメモリ40から順次読出したデータ部について、レプリカ生成部42からのレプリカ信号との差分を加算器43に於いて求め、その差分を最尤系列推定部44に入力する。

【0006】この最尤系列推定部44は、ブランチメトリック算出部45とACS回路46とバスメモリ47とを含み、又ACS回路46は、加算器 (A) と比較器 (C) とセクタ (S) とから構成されている。又ブランチメトリック算出部45は、加算器43に於いて推定された受信信号に相当するレプリカ信号を減算された信号を基にブランチメトリックを算出し、ACS回路46の加算器 (A) によりブランチメトリックと前回の生き残りパスのバスメトリックとを加算して新たなバスメトリックとし、比較器 (C) によりブランチ間の新たなバスメトリックを比較し、大きい方のバスメトリックを生き残りのパスのバスメトリックとしてセクタ (S) に

より選択し、その生き残りのパスをパスメモリ47に記憶し、このパスメモリ47の最終段から等化出力信号を送出する。このようなビタビ復号アルゴリズムを用いたデジタル適応等化器は、例えば、特開平4-261210号公報にも示されている。

【0007】又ビタビ復号アルゴリズムを用いたデジタル適応等化器に比較して、回路規模を縮小できるファノアルゴリズム (Fano Algorithm) やスタックアルゴリズム (Stack Algorithm) 等の逐次復号アルゴリズムを用いたデジタル適応等化器を、本出願人によって先に提案した (例えば、特願平5-201334号参照)。

【0008】

【発明が解決しようとする課題】従来例のビタビ復号アルゴリズムを用いたデジタル適応等化器は、判定帰還型等化器に比較してデジタル通信に於ける等化性能が優れているが、デジタル通信の変調方式の多値数や遅延波の遅延時間が大きくなるに従って、パスメモリ47を含む最尤系列推定部44の回路規模が非常に大きくなり、又演算量が指数関数的に増大し、デジタル適応等化器が高価なものとなると共に、等化処理時間が長くなる問題点があった。

【0009】又ビタビ復号アルゴリズムの代わりに、畳込み符号の復号に用いられる逐次復号アルゴリズムを適用して先に提案したデジタル適応等化器は、回路規模の縮小を図ることができるが、伝搬路のC/Nが良好でない時に、バースト信号のバースト長が長くなるに従って指数関数的に演算量が増大し、且つその時に十分な等化特性を得る為には、大容量のメモリを必要とするものであった。従って、経済的な問題が生じる。本発明は、逐次復号アルゴリズムを適用し、等化特性を低下させることなく、メモリ等の大幅な削減を図ることを目的とする。

【0010】

【課題を解決するための手段】本発明の逐次デジタル適応等化器は、図1を参照して説明すると、データ部間にトレーニング信号を挿入したバースト信号を送信し、このバースト信号を受信して等化するデジタル適応等化器に於いて、バースト信号を受信して蓄積するバッファメモリ1と、このバッファメモリ1から読出したデータ部間のトレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答を算出する伝搬路インパルス応答算出部2と、この伝搬路インパルス応答算出部2からのインパルス応答と等化出力信号とからレプリカ信号を生成するレプリカ生成部3と、バッファメモリ1からトレーニング信号の前後のデータ部を別々に読出してレプリカ生成部3からのレプリカ信号との差を順次求めてブランチメトリックを算出し、このブランチメトリックを基に逐次復号アルゴリズムによってトレーニング信号の前後のデータ部を別々に等化処理する逐次等化部

とを備えている。

【0011】又バースト信号は、所定間隔毎に既知シンボルを複数シンボル分挿入した複数ブロックにより構成し、逐次等化部4は、バースト信号の1ブロック毎に逐次等化を行う構成とすることができる。

【0012】又伝搬路インパルス応答算出部2は、レプリカ信号とバッファメモリ1からのデータ部との差を基に、逐次等化部に於けるパス伸長毎に伝搬路のインパルス応答を算出する構成とすることができる。

【0013】又ダイバーシティ受信経路対応に、バッファメモリ1と、伝搬路インパルス応答算出部2と、レプリカ生成部3と、逐次等化部4とをそれぞれ設け、最初に等化処理が終了した逐次等化部4からの等化出力信号を選択する構成を設けることができる。

【0014】

【作用】データ部間にトレーニング信号を挿入した形式のバースト信号を受信してバッファメモリ1に蓄積する。このバースト信号の中のトレーニング信号を読み出し、既知トレーニング信号を用いて伝搬路インパルス応答算出部2に於いて伝搬路のインパルス応答を算出する。トレーニング信号についての処理が終了すると、バッファメモリ1からトレーニング信号の前又は後のデータ部を順次読出し、又レプリカ生成部3からインパルス応答と等化出力信号とを基にしたレプリカ信号を生成し、加算器5に於いて遅延波成分を除去して逐次等化部4に入力する。逐次等化部4は、ファノアルゴリズムやスタックアルゴリズム等の逐次復号アルゴリズムによって等化処理する。即ち、バースト信号の中央部分に於けるトレーニング信号を基にトレーニングし、そのトレーニング信号の前後のデータ部を別々に等化処理する。

【0015】又バースト信号の所定間隔毎に既知シンボルを挿入した各ブロックについて、逐次等化部4は、既知シンボルまでの等化処理によってトレースバック等によって等化出力信号を得ることができる。即ち、バースト長が長い場合でも、ブロック単位で等化処理を行うことができる。

【0016】又伝搬路インパルス応答算出部2は、トレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答を算出した後に於いても、データ部を基に伝搬路のインパルス応答を算出し、伝搬路の特性の変動に対しても等化特性を追従させることができる。

【0017】又ダイバーシティ受信経路対応に等化を行う、その場合に最良の受信経路に於ける逐次等化部に於ける等化処理が最も早く完了するから、その等化出力信号を選択し、誤りの少ない受信処理が可能となる。

【0018】

【実施例】図2は本発明の第1の実施例の説明図であり、11は伝搬路インパルス応答算出部、12はレプリカ生成部、13はブランチメトリック算出部、14は変換テーブル、15はスタック制御部、16はスタックメ

メモリ、17はサブスタックメモリ、18は逐次等化部、19は加算器、20はバッファメモリである。

【0019】図1の逐次等化部4に対応する逐次等化部18は、ブランチメトリック算出部13と、変換テーブル14と、スタック制御部15と、スタックメモリ16と、サブスタックメモリ17とを含む構成を有し、スタックアルゴリズム(Stack Algorithm)を用いた場合を示す。又バッファメモリ20は、受信バースト信号を一旦蓄積するものであり、この受信バースト信号は、データ間にトレーニング信号が挿入された構成のものである。

【0020】図3は本発明の実施例のバースト構成説明図であり、(A)はバースト信号のデータ部間にトレーニング部を設けた場合を示し、又通常のバースト信号の場合と同様に既知シンボルからなるターミネーション・シンボルを設けている。又同図の(B)は、更に、データ部の所定間隔毎に既知シンボル群を挿入してブロック構成とした場合を示す。この既知シンボル群は、ターミネーション・シンボルと同様なパターンとすることも可能である。

【0021】例えば、図3の(A)に示すバースト信号を受信してバッファメモリ20に蓄積すると、先ず、バースト信号の中央部分のトレーニング信号をバッファメモリ20から読出して加算器19を介して伝搬路インパルス応答算出部11とレプリカ生成部12とに加え、又既知トレーニング信号を伝搬路インパルス応答算出部11に加える。それによって、従来例と同様に、受信トレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答CIRの算出を行う。

【0022】伝搬路のインパルス応答CIRを求めるトレーニング期間が終了すると、バッファメモリ20からバースト信号のトレーニング信号の例えば後に受信したデータ部を順次読出し、加算器19を介して逐次等化部18に加える。即ち、トレーニング信号の前に受信したデータ部を残し、バッファメモリ20からトレーニング信号を読出してインパルス応答CIRを算出した後、その後のデータ部を順次読出すものである。又伝搬路インパルス応答算出部11はトレーニング期間中に求めたインパルス応答に従ってレプリカ生成部12を制御し、等化出力信号を基にレプリカ信号を生成して加算器19に加える。

【0023】この加算器19からの受信信号とレプリカ信号との差分は、逐次等化部18のブランチメトリック算出部13に加えられ、その絶対値の二乗からブランチメトリックが算出され、変換テーブル14によって整数のメトリックに変換され、スタック制御部15により、バースト信号の算出、比較、バーストの推定、生き残りとしてのバースト及びそのバーストメトリックのスタックメモリ16への書込み、バーストメトリックが最大となるバーストのサブスタックメモリ17への書込みを行う。

【0024】又データ部のシンボル数は予め定められており、又後半のデータの最後は既知シンボルのターミネーション・シンボルであり、このシンボル又はバーストの深さ(バーストを延ばす段数)によってデータ部の等化終了を判定することができ、その時に、サブスタックメモリ17の内容を基にスタックメモリ16をトレースバックすることにより、等化出力信号が得られる。

【0025】トレーニング信号の後に受信したデータ部について等化処理が終了すると、スタックメモリ16及びサブスタックメモリ17をクリアし、バッファメモリ20からトレーニング信号の前に受信したデータ部を順次読出して、前述と同様な等化処理を行う。この場合、バッファメモリ20の読出制御手段によっては、トレーニング信号側から先頭側(ターミネーション・シンボル側)に向かって順次等化処理を行うことも可能である。即ち、既知シンボルに挟まれたデータについては、何れの方角からでも等化処理が可能となる。

【0026】前述のように、バースト信号をトレーニング信号によって2分割した構成とし、前半のデータ部と後半のデータ部とについてそれぞれ等化処理を行うものであるから、スタックメモリ16及びサブスタックメモリ17は、バースト信号の長さの半分の長さの信号に対して等化処理する場合の容量で済むことになり、単純計算では先に提案した逐次復号アルゴリズムを用いたデジタル適応等化器に於けるスタックメモリ16及びサブスタックメモリ17の半分の容量で済む利点がある。

【0027】又バースト長が長いバースト信号の場合に、その先頭にトレーニング信号を付加した場合、トレーニング信号を用いて伝搬路のインパルス応答CIRを算出しても、バースト信号の最後の部分に於いては時間が経過しているから、伝搬路の特性が変動する可能性が大きいものである。しかし、本発明に於いては、前述のように、バースト信号の中間部分にトレーニング信号を付加し、そのトレーニング信号を用いて伝搬路のインパルス応答CIRを算出するから、その前半のデータ部の先頭部分及び後半のデータの最後尾部分に於いても、トレーニング信号からの時間の経過が短いから、伝搬路の特性の変動は無視できる程度となる。

【0028】又図3の(B)に示すバースト信号の場合には、既知シンボル群まで受信信号の等化処理を行うことにより、等化出力信号をスタックメモリ16のトレースバックによって得ることができる。即ち、既知シンボル群により分割されたブロックの長さに相当するスタックメモリ16及びサブスタックメモリ17の容量で済むことになる。

【0029】図4はスタックアルゴリズムに於けるバースト探索説明図であり、丸印は節点、その中の数字0~30は節点番号を示す。又受信シンボルを“0”と仮定した時は上側のバースト、“1”と仮定した時は下側のバーストを選択してそれぞれ次の節点に延ばす場合を示す。又バースト

延ばした先の節点に於いて、パスのファノメトリックを順次加算した値をパスメトリックとする。例えば、節点0に於いて、受信シンボルを“0”と仮定した時のパス(v)のファノメトリックが-7、“1”と仮定した時のパス(i)のファノメトリックが-1であるとする、パス(v)を延ばした先の節点1のパスメトリックは-7となり、パス(i)を延ばした先の節点2のパスメトリックは-1となる。

【0030】従って、この場合の節点2のパスメトリック(-1)が節点1のパスメトリック(-7)より大きいから、この節点2からパスを延ばすことになる。そして、節点2に於いて“0”と仮定した時と、“1”と仮定した時とのパスのファノメトリックが共に-4であるとする、パス(ii),(iii)の何れを延ばしても良いことになるが、例えば、“0”と仮定したパスを延ばすことを予め定めることができる。その場合には、パス(ii)を延ばすことになる。

【0031】パス(ii)を延ばした節点5のパスメトリックは-5となり、節点1のパスメトリックの-7より大きいから、この節点5からパスを延ばすことになる。この節点5に於いて“0”と仮定した時にパスのファノメトリックが-1、“1”と仮定した時にパスのファノメトリックが-7とすると、“0”と仮定した時のファノメトリックが大きいからパス(iv)を延ばすことになる。

【0032】この場合のパス(iv)の先の節点11のパスメトリックは-6となり、節点2から延ばしたパス(iii)の先の節点6のパスメトリックの-5より小さいから、この節点6からパスを延ばし、この節点6からのそれぞれのパスの先の節点13, 14のパスメトリックが図示のようにそれぞれ-9であるとする、節点11のパスメトリック(-6)の方が大きいから、この節点11からパスを延ばすことになる。その場合に、“0”と仮定した時も“1”と仮定した時も共にパスのファノ

$$r_j = \sum_{(i=1)}^{(i=N)} [\log_2 \{P(r_{ji} | x_{ji}) / f(r_{ji})\} - B] \quad \dots (1)$$

で表される。なお、 $\sum_{(i=1)}^{(i=N)}$  は、 $i=1$  から  $i=N$  までの各ビットの和を求めることを示し、 $N$  は符号化に於ける符号化率、 $x_{ji}$  は送信シンボル、 $r_{ji}$  は受信シンボル、 $P(r_{ji} | x_{ji})$  は送信シンボル  $x_{ji}$  を送信した時に、受信シンボル  $r_{ji}$  が受信できる確率、 $f(r_{ji})$  は受信シンボル  $r_{ji}$  の生起確率、 $B$  はバイアス値である。このバイアス値  $B$  は、受信シンボルが確からしい時に、メトリックが正となるような値に選定されるもので、誤り訂正符号の復号に於ける最適値は  $1/N$  である。

【0039】この(2)式に於いて、雑音  $x, y$  を極座

$$p(x, y) = (1/2\pi\sigma^2) \exp \{-(x^2 + y^2)/2\sigma^2\} \quad \dots (2)$$

メトリックが-4であるとする、節点23, 24のパスメトリックは共に-10となり、節点1のパスメトリック(-7)より小さくなる。

【0033】このような場合は、節点1に戻ってからパスを延ばすことになる。即ち、バッファメモリ20の既に読出したデータを再度読出して等化処理することになる。この節点1に於いて“0”と仮定した時に-7、“1”と仮定した時に-1のそれぞれパスのファノメトリックの場合、パス(vi)を延ばした先の節点4のパスメトリックは-8となる。この節点4に於いて、“0”と仮定した時に-2、“1”と仮定した時に0のそれぞれのパスのファノメトリックの場合、ファノメトリックの大きい方のパス(vii)を延ばすことになる。

【0034】このパス(vii)の先の節点10に於いて、“0”と仮定した時に2、“1”と仮定した時に-10のそれぞれパスのファノメトリックの場合、パス(viii)を延ばすことになる。従って、この場合の最終段の節点21, 22, 23, 24のパスメトリックはそれぞれ-6, -18, -10, -10となる。前述の節点の情報、即ち、パス(i)~(viii)及びパスメトリックはスタックメモリ16(図2参照)に記憶され、サブスタックメモリ17にパスメトリックの大きい順に節点の情報が記憶されている。

【0035】前述の場合、サブスタックメモリ17を検索することにより、節点21のパスメトリック(-6)が最大であることが判るから、この節点21からスタックメモリ16をトレースバックする。それによって太線で示すパス(viii),(vii),(vi),(v)が選択されたことが判り、この場合の等化出力信号は、“0110”となる。前述のバースト信号は2値変調方式の場合で、2本のパスを延ばすものであるが、M値変調方式の場合は、M本のパスを延ばすことになる。

【0036】或る時点  $j$  に於ける前述のパスのファノメトリック  $r_j$  は、

あることが知られている。

【0037】前述の逐次等化に於けるファノメトリックは、逐次復号に於ける本来のファノメトリックとは多少異なるものがあるが、本発明の実施例に於いては、同一表現のファノメトリックとして説明する。

【0038】受信信号の実部成分と虚部成分とに、それぞれ等しい分散  $\sigma^2$  で平均値0の独立なガウス雑音  $x, y$  が付加されていると仮定すると、雑音  $x, y$  の結合確率分布  $p(x, y)$  は、

標表示の  $x = R \cos \Theta$ ,  $y = R \sin \Theta$  と置き換えて雑音の振幅分布  $p(R)$  を求めると、

$$p(R) = (R/\sigma^2) \exp \{-R^2/2\sigma^2\} \quad \dots (3)$$

となる。

【0040】 ブランチメトリックが  $a$  以上で且つ  $b$  以下

$$P(a, b) = \int_{(a)}^{(b)} p(R) dR \\ = \exp(-a/2\sigma^2) - \exp(-b/2\sigma^2) \quad \dots (4)$$

となる。なお、 $\int_{(a)}^{(b)}$  は  $a^{1/2}$  から  $b^{1/2}$  までの積分を示す。

$$FM(n) = \langle \alpha \times \{ \log(P(n\delta, (n+1)\delta)) + \beta \} \rangle \quad \dots (5)$$

として表すことができる。なお、 $\alpha, \beta$  は定数、 $\langle X \rangle$  の  $\langle \rangle$  は  $X$  を超えない最大の整数を表す記号を示す。又定数として、例えば、 $\alpha=8.0, \beta=4.0, \delta=6.0/256$  とし、又  $n=0 \sim 255$  の整数とすることができる。

【0042】 図2の実施例に於ける変換テーブル14は、前述の(5)式により求めたファノメトリック  $FM(n)$  を、ブランチメトリック算出部13に於いて求めたブランチメトリックをアドレスとして格納したものであり、整数のメトリックとした場合を示す。

【0043】 図5は本発明の第2の実施例の説明図であり、21は伝搬路インパルス応答算出部、22はレプリカ生成部、23はブランチメトリック算出部、24は変換テーブル、25はスタック制御部、26はスタックメモリ、27はサブスタックメモリ、28は逐次等化部、29は加算器、30はバッファメモリ、31はセレクタである。

【0044】 セレクタ31は、既知トレーニング信号と等化出力信号とを切替えて伝搬路インパルス応答算出部21とレプリカ生成部22とに加える為のものであり、図3の(A)又は(B)に示す構成のバースト信号を受信してバッファメモリ30に蓄積し、データ部間のトレーニング信号を読出した時に、セレクタ31は既知トレーニング信号を選択して伝搬路インパルス応答算出部21とレプリカ生成部22とに加えて、伝搬路のインパルス応答CIRを算出する。

【0045】 トレーニング信号を用いた伝搬路のインパルス応答CIRの算出が終了すると、前述の第1の実施例に於いては、そのインパルス応答CIRを保持してレプリカ生成部22を制御するものであるが、この第2の実施例は、等化出力信号を用いて伝搬路の特性の変動に対応したインパルス応答CIRを算出できるようにしたものである。即ち、セレクタ31は、トレーニング信号による伝搬路のインパルス応答CIRを算出した後、等化出力信号を選択して伝搬路インパルス応答算出部21とレプリカ生成部22とに加え、1シンボルの等化処理によるパスの伸長毎に伝搬路のインパルス応答CIRを算出する。それにより、フェージング等による伝搬路の特性変動に追従して等化処理を行うことができる。

【0046】 又逐次等化部28は、前述の第1の実施例と同様にブランチメトリック算出部23と、変換テーブル24と、スタック制御部25と、スタックメモリ26

となる確率  $P(a, b)$  は、振幅  $R$  が  $a^{1/2}$  以上で且つ  $b^{1/2}$  以下である確率であるから、

【0041】 この(4)式を基にファノメトリック  $FM(n)$  を

と、サブスタックメモリ27とを含む構成を有し、スタックアルゴリズムによって等化処理を行うものであり、1ブロック等についての等化処理が終了した時、サブスタックメモリ27を検索し、スタックメモリ26のトレースバックにより等化出力信号を得ることができる。

【0047】 又ダイバーシティ方式に於いては、複数の受信経路の中の最良の受信経路を選択する方式等が知られている。そこで、ダイバーシティ方式の複数の受信経路対応に、図2又は図5に示す構成を設ける。逐次復号アルゴリズムを用いた場合、受信信号の  $C/N$  が良好な場合は、パスの伸長に於いて後戻りの回数が少なく、順次パスを延ばしていくことができるから、等化処理が短時間で終了するが、 $C/N$  が劣化している場合は、パスの伸長に於いて後戻りの回数が多くなり、等化処理の終了が遅くなる。そこで、等化処理が最初に終了した受信経路が良好な  $C/N$  の状態を示すから、その受信経路の等化出力信号を選択出力する。それにより、最良の受信経路の選択制御は非常に簡単となる。

【0048】 又前述の実施例はスタックアルゴリズムによる場合を示すが、ファノアルゴリズムによる逐次等化を行うことができる。このファノアルゴリズムは、例えば、前方ブランチメトリック算出部と、後方ブランチメトリック算出部と、変換テーブルと、パス判定制御部と、バッファメモリとにより、前述の実施例に於ける逐次等化部を構成し、受信バースト信号のデータ部間のトレーニング信号と既知トレーニング信号とを用いて伝搬路のインパルス応答CIRを算出して、そのトレーニング信号の例えば後に受信したデータ部の等化を行い、次にトレーニング信号の前に受信したデータ部の等化を行うものである。

【0049】 このデータ部の等化を行う場合のファノアルゴリズムは、複数段階の閾値を設け、パス判定制御部によりパスメトリックが或る閾値を超えたか否かを判定し、超えた場合は前進によるパス探索を行い、次のシンボルに対してもパスメトリックが閾値を超えた場合は前進によるパス探索を行うことを繰り返し、且つパスメトリックが増大するに伴って閾値が大きくなるように切替える。又閾値より小さいパスメトリックとなる場合は、後進によるパス探索に移行し、その後進によっても閾値を超えない場合は、閾値が小さくなるように切替える。前進によるパス探索が継続してターミネーション・シンボル或いは既知シンボル群等の既知シンボル間のデータ



部についての等化が終了すると、バス判定制御部からバッファメモリに格納されたバス情報に従った等化出力信号が送出される。

【0050】本発明は、前述の各実施例のみに限定されるものではなく、種々付加変更することができるものであり、例えば、伝搬路インパルス応答算出部、レプリカ生成部、加算器、ブランチメトリック算出部、スタック制御部等は、マイクロプロセッサ等の演算処理機能によって実現することも可能であり、又スタックメモリやサブスタックメモリを用いたバス伸長等の制御は、既に知られているスタックアルゴリズムによる制御手段を採用することも可能である。

【0051】

【発明の効果】以上説明したように、本発明は、データ部間にトレーニング信号を挿入したバースト信号を送信し、そのバースト信号を受信して等化するもので、そのバースト信号をバッファメモリ1に一旦蓄積し、このバッファメモリ1からトレーニング信号を読み出して、既知トレーニング信号を用いて伝搬路のインパルス応答CIRを算出し、そして、バッファメモリ1からトレーニング信号の前又は後に受信したデータ部を読み出して逐次復号アルゴリズムによって等化し、次にトレーニング信号の後又は前に受信したデータ部を読み出して逐次復号アルゴリズムによって等化するものであり、バースト信号長を長くした場合に於いても、その中央部分のトレーニング信号を用いて伝搬路のインパルス応答CIRを算出するから、その前後のデータ部についても安定に等化処理することができる利点がある。更に従来例に比較して逐次等化部4に必要とするメモリの容量を約半分に削減することが可能となり、回路規模の縮小が可能であるから、経済化を図ることができる利点がある。

【0052】又バースト信号の所定間隔毎に既知シンボ

ル群を挿入して複数ブロックとすることにより、逐次等化部4に於いては既知シンボル群までのデータの等化処理を終了する毎に等化出力信号を送出することができるから、バースト信号長が長い場合でも、短いバースト信号と同様に等化処理することができるから、逐次等化部4に於いて必要とするメモリ容量を更に削減することが可能となる。

【0053】又トレーニング信号を用いて伝搬路のインパルス応答CIRを算出した後の伝搬路の特性変動に対しては、逐次等化部4に於けるバス伸長毎に等化出力信号を用いることにより、そのインパルス応答CIRを算出することができる。従って、フェージング等の激しい環境下に於いても、等化処理が可能となる。

【0054】又ダイバーシティ受信経路対応に、逐次等化部4を含む構成を設けて、等化処理が最初に終了した受信経路の等化出力信号を用いることにより、簡単な制御によって、複数の受信経路の中の最良のC/Nの受信経路を選択して受信処理することができる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1の実施例の説明図である。

【図3】本発明の実施例のバースト構成説明図である。

【図4】スタックアルゴリズムに於けるバス探索説明図である。

【図5】本発明の第2の実施例の説明図である。

【図6】従来例の説明図である。

【符号の説明】

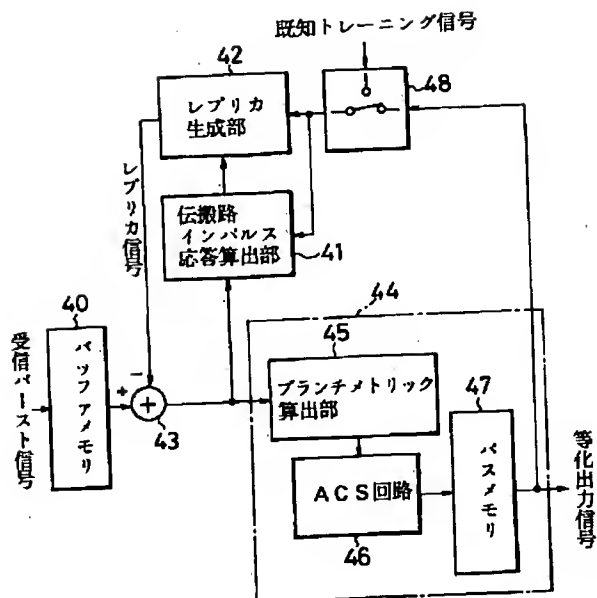
- 1 バッファメモリ
- 2 伝搬路インパルス応答算出部
- 3 レプリカ生成部
- 4 逐次等化部
- 5 加算器





【図 6】

### 従来例の説明図



(51) Int. Cl.<sup>6</sup>  
H 0 4 L

識別記号 庁内整理番号

FI

## 技術表示箇所

(72)発明者 中村 道春  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内